

PAT-NO: JP410284648A
DOCUMENT-IDENTIFIER: JP 10284648 A
TITLE: SEMICONDUCTOR DEVICE
PUBN-DATE: October 23, 1998

INVENTOR-INFORMATION:

NAME

KANESHIRO, ARATA
HARUTA, AKIRA
ICHITANI, MASAHIRO
YAMAGUCHI, TOSHIHIRO
NAKAMURA, MASANORI

ASSIGNEE-INFORMATION:

NAME

HITACHI LTD
HITACHI CHEM CO LTD

COUNTRY

N/A
N/A

APPL-NO: JP09089244
APPL-DATE: April 8, 1997

INT-CL (IPC): H01L023/28

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a highly reliable semiconductor device with which the cracks generating on a resin sealed body, which seals a semiconductor chip, can be suppressed.

SOLUTION: In a semiconductor device in which the surface of the solder resist film 5A of a wiring board 1 is covered by the resin of a resin-sealed body 23 which seals a semiconductor chip 7, a surface treatment, with which the surface of the solder resist film 5 is roughened, is provided on the solder resist film 5A. Also, a supporting lead 10A is fixed to the surface

of the
solder resist film 5A of the wiring board 1 through an adhesive layer
11, the
surface of the supporting lead 10A is covered by the resin of a resin
sealed
body 12 which seals the semiconductor chip 7, and surface treatment,
with which
the surface of the solder resist film 5A is roughened, is conducted.
The
roughness of the surface of the solder resist film 5A is formed in an
arithmetic mean roughness of 0.2 μm or more, desirably 0.4 μm
or more.

COPYRIGHT: (C)1998,JPO

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-284648

(43)公開日 平成10年(1998)10月23日

(51)Int.Cl.⁶
H 0 1 L 23/28

識別記号

F I
H 0 1 L 23/28

Z

審査請求 未請求 請求項の数5 O L (全 6 頁)

(21)出願番号 特願平9-89244

(22)出願日 平成9年(1997)4月8日

(71)出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地
(71)出願人 000004455
日立化成工業株式会社
東京都新宿区西新宿2丁目1番1号
(72)発明者 金城 新
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内
(72)発明者 春田 亮
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内
(74)代理人 弁理士 秋田 収喜

最終頁に続く

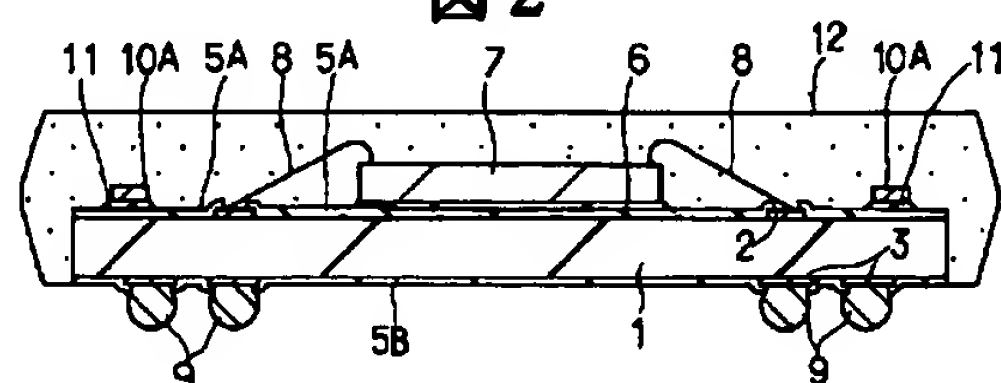
(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 ソルダーレジスト膜5Aと樹脂封止体1の樹脂との界面に剥離が生じ、この剥離部に溜った水分の気化膨張によって樹脂封止体1に亀裂が生じる。また、ソルダーレジスト膜5Aと接着層11との間の界面に剥離が生じ、この剥離部に溜った水分の気化膨張によって樹脂封止体1に亀裂が生じる。

【解決手段】 配線基板1のソルダーレジスト膜5Aの表面が半導体チップ7を封止する樹脂封止体12の樹脂で被覆される半導体装置であって、前記ソルダーレジスト膜5Aにその表面を粗くする表面処理が施されている。また、配線基板1のソルダーレジスト膜5Aの表面に接着層11を介在して支持リード10Aが固定され、前記支持リード10Aの表面が半導体チップ7を封止する樹脂封止体12の樹脂によって被覆される半導体装置であって、前記ソルダーレジスト膜5Aにその表面を粗くする表面処理が施されている。前記ソルダーレジスト膜5Aの表面粗さは、0.2[μm]以上、好ましくは0.4[μm]以上の算術平均粗さとなっている。

図 2



【特許請求の範囲】

【請求項1】 配線基板のソルダーレジスト膜の表面が半導体チップを封止する樹脂封止体の樹脂によって被覆される半導体装置であって、前記ソルダーレジスト膜にその表面を粗くする表面処理が施されていることを特徴とする半導体装置。

【請求項2】 配線基板のソルダーレジスト膜の表面に接着層を介在して支持リードが固定され、前記支持リードの表面が半導体チップを封止する樹脂封止体の樹脂によって被覆される半導体装置であって、前記ソルダーレジスト膜にその表面を粗くする表面処理が施されていることを特徴とする半導体装置。

【請求項3】 前記ソルダーレジスト膜の表面粗さは、0.2[μm]以上の算術平均粗さとなっていることを特徴とする請求項1又は請求項2に記載の半導体装置。

【請求項4】 前記ソルダーレジスト膜の表面粗さは、0.4[μm]以上の算術平均粗さとなっていることを特徴とする請求項1又は請求項2に記載の半導体装置。

【請求項5】 前記ソルダーレジスト膜は、シリコンが添加されたエポキシ系の樹脂で形成されていることを特徴とする請求項1乃至請求項4のうちいずれか1項に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置に関し、特に、配線基板のソルダーレジスト膜の表面が半導体チップを封止する樹脂封止体の樹脂によって被覆される半導体装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】多ピン化に好適な半導体装置として、樹脂基板からなる配線基板を用いたPBG A (Plastic Ball Grid Array) 構造の半導体装置が開発されている。このPBG A構造の半導体装置は、樹脂基板からなる配線基板の一表面の中央領域上に半導体チップをフェースアップ方式で搭載し、その後、前記半導体チップの主面に配置された外部端子と、前記配線基板の一表面の周辺領域に配置された電極パッドとをボンディングワイヤで電気的に接続し、その後、前記半導体チップ、ボンディングワイヤ等を樹脂封止体で封止し、その後、前記配線基板の裏面に配置された複数の電極パッドの夫々の表面に bumps 電極を電気的にかつ機械的に接続することにより形成される。このPBG A構造の半導体装置については、例えば、工業調査会から発行された電子材料〔1994年、10月号、第79頁乃至第82頁〕に記載されている。

【0003】また、PBG A構造の半導体装置においては、フレームに樹脂基板からなる配線基板を取付けた基板付フレームを用いてPBG A構造の半導体装置を製造する技術も開発されている。フレームは枠体とこの枠体

に一体化された支持リードとで構成され、配線基板は支持リードに接着層を介在して固定されている。この基板付フレームを用いた製造技術については、例えば、特願平6-16105号公報に記載されている。

【0004】

【発明が解決しようとする課題】

(1) 前記PBG A構造の半導体装置において、配線基板の一表面には、その一表面に配置された配線の剥がれや損傷を防止する目的として、ソルダーレジスト膜が形成されている。このソルダーレジスト膜の表面は、半導体チップを封止する樹脂封止体の樹脂で被覆されている。

【0005】前記ソルダーレジスト膜は配線基板の一表面にスクリーン印刷法によって形成される。この形成時において気泡が発生するため、ソルダーレジスト膜には消泡剤としてシリコンが添加されている。しかし、シリコンは離型剤でもあるため、ソルダーレジスト膜と樹脂封止体の樹脂との密着力が低下し、半導体装置の製品完成後の環境試験である温度サイクル試験時の熱応力や実装基板の実装面に半導体装置を実装する実装時の熱応力によってソルダーレジスト膜と樹脂封止体の樹脂との界面に剥離が生じる。この界面に剥離が生じた場合、樹脂封止体の樹脂に含まれている水分が剥離部分に溜り、この溜った水分が温度サイクル試験時の熱や実装時の熱によって気化膨張し、樹脂封止体に亀裂が生じる。

【0006】(2) 前記基板付フレームを用いて製造されたPBG A構造の半導体装置において、配線基板の一表面の周辺領域には支持リードが配置されている。支持リードは配線基板の一表面に形成されたソルダーレジスト膜の表面に接着層を介在して接着固定され、更に、支持リードの表面は半導体チップを封止する樹脂封止体の樹脂で被覆されている。ソルダーレジスト膜には前述の如くシリコンが添加されているので、ソルダーレジスト膜と接着層との密着力が低下し、温度サイクル試験時の熱応力や実装時の熱応力によってソルダーレジスト膜と接着層との界面に剥離が生じる。この界面に剥離が生じた場合、樹脂封止体の樹脂に含まれている水分が剥離部分に溜り、前述の如く樹脂封止体に亀裂が生じる。

【0007】本発明の目的は、半導体チップを封止する樹脂封止体の亀裂を抑制することが可能な技術を提供することにある。

【0008】また、本発明の他の目的は、熱に対する信頼性の高い半導体装置を提供することにある。

【0009】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

【0010】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0011】(1)配線基板のソルダーレジスト膜の表面が半導体チップを封止する樹脂封止体の樹脂で被覆される半導体装置であって、前記ソルダーレジスト膜にその表面を粗くする表面処理が施されている。前記ソルダーレジスト膜の表面粗さは、0.2[μm]以上、好ましくは0.4[μm]以上の算術平均粗さとなっている。

【0012】(2)配線基板のソルダーレジスト膜の表面に接着層を介在して支持リードが固定され、前記支持リードの表面が半導体チップを封止する樹脂封止体の樹脂によって被覆される半導体装置であって、前記ソルダーレジスト膜にその表面を粗くする表面処理が施されている。前記ソルダーレジスト膜の表面粗さは、0.2[μm]以上、好ましくは0.4[μm]以上の算術平均粗さとなっている。

【0013】上述した手段(1)によれば、ソルダーレジスト膜と樹脂封止体の樹脂との密着力(アンカー効果)を高めることができるので、半導体装置の製品完成後の環境試験である温度サイクル試験時の熱応力や実装基板の実装面に半導体装置を実装する実装時の熱応力によってソルダーレジスト膜と樹脂封止体の樹脂との界面に生じる剥離を抑制することができる。この結果、ソルダーレジスト膜と樹脂封止体の樹脂との界面に樹脂封止体の樹脂に含まれている水分が溜らなくなるので、溜った水分の気化膨張による樹脂封止体の亀裂を抑制することができる。

【0014】上述した手段(2)によれば、ソルダーレジスト膜と接着層との密着力(アンカー効果)を高めることができるので、半導体装置の製品完成後の環境試験である温度サイクル試験時の熱応力や実装基板の実装面に半導体装置を実装する実装時の熱応力によってソルダーレジスト膜と接着層との界面に生じる剥離を抑制することができる。この結果、ソルダーレジスト膜と接着層との界面に樹脂封止体の樹脂に含まれている水分が溜らなくなるので、溜った水分の気化膨張による樹脂封止体の亀裂を抑制することができる。

【0015】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。なお、発明の実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0016】図1は、本発明の一実施形態である半導体装置の樹脂封止体の上部を除去した状態の平面図であり、図2は、図1に示すA-A線に沿って切った断面図であり、図3は、前記半導体装置の製造プロセスで用いられる基板付フレームの要部平面図であり、図4は、前記半導体装置を実装基板に実装した状態の要部断面図である。

【0017】図1及び図2に示すように、本実施形態の半導体装置は、配線基板1の一表面の中央領域上に半導

体チップ7をフェースアップ方式で搭載している。

【0018】前記配線基板1は、例えばガラス繊維にエポキシ樹脂又はポリイミド樹脂を含浸させた樹脂基板で形成されている。配線基板1の一表面の中央領域はチップ搭載領域となっており、その一表面の周辺領域には複数の電極パッド2が配置されている。また、配線基板1の一表面と対向するその裏面には複数の電極パッド3が配置されている。この電極パッド3、電極パッド2の夫々は、配線基板1の配線を介して電氣的に接続されている。

【0019】前記配線基板1の一表面には、その一表面に形成された配線の剥離や損傷を防止する目的として、ソルダーレジスト膜5Aが形成されている。また、配線基板1の裏面には、その裏面に形成された配線の剥離や損傷を防止する目的として、ソルダーレジスト膜5Bが形成されている。ソルダーレジスト膜5Aには電極パッド2の表面を露出する開口が形成され、ソルダーレジスト膜5Bには電極パッド3の表面を露出する開口が形成されている。

【0020】前記複数の電極パッド3の夫々の表面には、複数のバンプ電極9の夫々が夫々毎に接合され、電氣的にかつ機械的に接続されている。複数のバンプ電極9の夫々は、球形状で形成され、例えばPb-Sn組成の合金材で形成されている。

【0021】前記半導体チップ7は、配線基板1のチップ搭載領域において、配線基板1の一表面に形成されたソルダーレジスト膜5Aの表面に接着層6を介在して接着固定されている。接着層6は例えばエポキシ系の樹脂又はポリイミド系の樹脂からなる接着剤で形成されている。

【0022】前記半導体チップ7は、例えば単結晶珪素からなる半導体基板を主体とする構造で構成され、論理回路システム、記憶回路システム、或はそれらの混合回路システムが搭載されている。この半導体チップ7の主面(素子形成面)側には、その外周囲の各辺に沿って複数の外部端子(ボンディングパッド)7Aが配置されている。この複数の外部端子7Aの夫々は、半導体基板の主面(素子形成面)上に形成された配線層のうち、最上層の配線層に形成されている。

【0023】前記配線基板1の電極パッド2、半導体チップ7の外部端子7Aの夫々は、ボンディングワイヤ8を介して電氣的に接続されている。ボンディングワイヤ8は、例えば、金(Au)ワイヤ、銅(Cu)ワイヤ、アルミニウム(Al)ワイヤ、或は金属ワイヤの表面に絶縁性樹脂を被覆した被覆ワイヤ等で形成されている。

【0024】前記配線基板1の一表面の周辺領域には、4本の支持リード10Aが配置されている。4本の支持リード10Aの夫々は、平面が方形状に形成された配線基板1の各辺毎に配置され、配線基板1の4つの角部において一体化されている。この4本の支持リード10A

の夫々は、配線基板1の一表面に形成されたソルダーレジスト膜5Aの表面に接着層11を介在して接着固定されている。接着層11は、例えばエリamidイミド系の接着剤で形成されている。

【0025】前記半導体チップ1、ボンディングワイヤ8は樹脂封止体12で封止されている。樹脂封止体12は、トランスファモール法で形成され、配線基板1の裏面を露出させた構造で構成されている。樹脂封止体12は、低応力化を図る目的として、例えば、フェノール系硬化剤、シリコン及びフィラー等が添加されたビフェニール系又はオルソクレゾールノボラック系の樹脂で形成されている。即ち、本実施形態の半導体装置はPBG A構造で構成されている。

【0026】前記配線基板1のソルダーレジスト膜5Aの表面及び支持リード10Aの表面は、前述の半導体チップ7を封止する樹脂封止体12の樹脂で被覆されている。

【0027】前記配線基板1のソルダーレジスト膜5A、5Bの夫々は、消泡剤としてシリコンが添加されたエポキシ系の樹脂で形成されている。このシリコンが添加されたエポキシ系の樹脂からなるソルダーレジスト膜5A、5Bの夫々は、スクリーン印刷法で形成する際の気泡の発生を抑制することができる。

【0028】前記配線基板1のソルダーレジスト膜5Aには、その表面を粗くする表面処理が施されている。この表面処理は、例えば、アルカリ性又は酸性の水溶液中に配線基板1を浸漬させる水溶液処理法によって行なわれる。このように、ソルダーレジスト膜5Aの表面を粗くすることにより、配線基板1のソルダーレジスト膜5Aと樹脂封止体12の樹脂との密着力(アンカー効果)を高めることができる。また、配線基板1のソルダーレジスト膜5Aと接着層11との密着力を高めることができる。また、配線基板1のソルダーレジスト膜5Aと接着層6との密着力を高めることができる。

【0029】前記半導体装置は、図3に示す基板付フレーム10を用いた製造プロセスで形成される。基板付フレーム10は、フレームに配線基板1を取り付けた構造で構成されている。フレームは、枠体10Bとこの枠体10Bに一体化された4本の支持リード10Aとで構成されている。4本の支持リード10Aの夫々は、配線基板1の一表面の周辺領域に形成されたソルダーレジスト膜5Aの表面に接着層11を介在して接着固定され、配線基板1の4つの角部において一体化されている。フレームは例えばFe-Ni(例えばNi含有率42又は50[%])合金で形成されている。なお、図3において、一点鎖線で囲まれた領域4はチップ搭載領域である。

【0030】次に、前記基板付フレーム10を用いた半導体装置の製造方法について説明する。

【0031】まず、図3に示す基板付フレーム10を用

意する。次に、前記基板付フレーム10の配線基板1の一表面の中央領域に接着層6を介在して半導体チップ7を搭載する。次に、前記半導体チップ7の主面に配置された外部端子7Aと配線基板1の一表面の周辺領域に配置された電極パッド2とをボンディングワイヤ8で電気的に接続する。次に、前記半導体チップ7、ボンディングワイヤ8等を封止する樹脂封止体12を形成する。樹脂封止体12はトランスファモール法に基づいて形成される。次に、基板付フレーム10の枠体10Bから支持リード10Aを切断し、その後、前記配線基板1の裏面に配置された電極パッド3の表面にバンプ電極9を接合することにより、本実施形態の半導体装置がほぼ完成する。

【0032】この後、半導体装置は、製品完成後の環境試験である温度サイクル試験が施され、その後、製品として出荷される。製品として出荷された半導体装置は、図4に示すように、実装基板20の実装面上に実装される。半導体装置のバンプ電極9は、赤外線リフロー法で溶融され、実装基板20の実装面に配置された電極パッド21の表面に接合され、電気的にかつ機械的に接続される。

【0033】前記半導体装置において、ソルダーレジスト膜5Aの表面の算術平均粗さRaと良品率との関係を図5に示す。ソルダーレジスト膜5Aの表面の算術平均粗さRaが0.2[μm]の場合、ソルダーレジスト膜5Aと樹脂封止体1の樹脂との界面に剥離が生じない良品率は、ほぼ25[%]であった。また、ソルダーレジスト膜5Aの表面の算術平均粗さRaが0.25[μm]の場合、ソルダーレジスト膜5Aと樹脂封止体1の樹脂との界面に剥離が生じない良品率は、ほぼ75[%]であった。また、ソルダーレジスト膜5Aの表面の算術平均粗さRaが0.4[μm]の場合、ソルダーレジスト膜5Aと樹脂封止体1の樹脂との界面に剥離が生じない良品率は、ほぼ100[%]であった。即ち、ソルダーレジスト膜5Aの表面粗さを、0.2[μm]以上、好ましくは0.4[μm]以上の算術平均粗さRaとすることにより、ソルダーレジスト膜5Aと樹脂封止体12の樹脂との密着力(アンカー効果)を高めることができるので、半導体装置の製品完成後の環境試験である温度サイクル試験時の熱応力や実装基板の実装面上に半導体装置を実装する実装時の熱応力によってソルダーレジスト膜5Aと樹脂封止体12の樹脂との界面に生じる剥離を抑制することができる。この結果、ソルダーレジスト膜5Aと樹脂封止体12の樹脂との界面に樹脂封止体12の樹脂に含まれている水分が溜らなくなるので、溜った水分の気化膨張による樹脂封止体12の亀裂を抑制することができる。

【0034】また、図示していないが、ソルダーレジスト膜5Aの表面の算術平均粗さRaに対する、ソルダーレジスト膜5Aと接着層11との界面に剥離が生じない

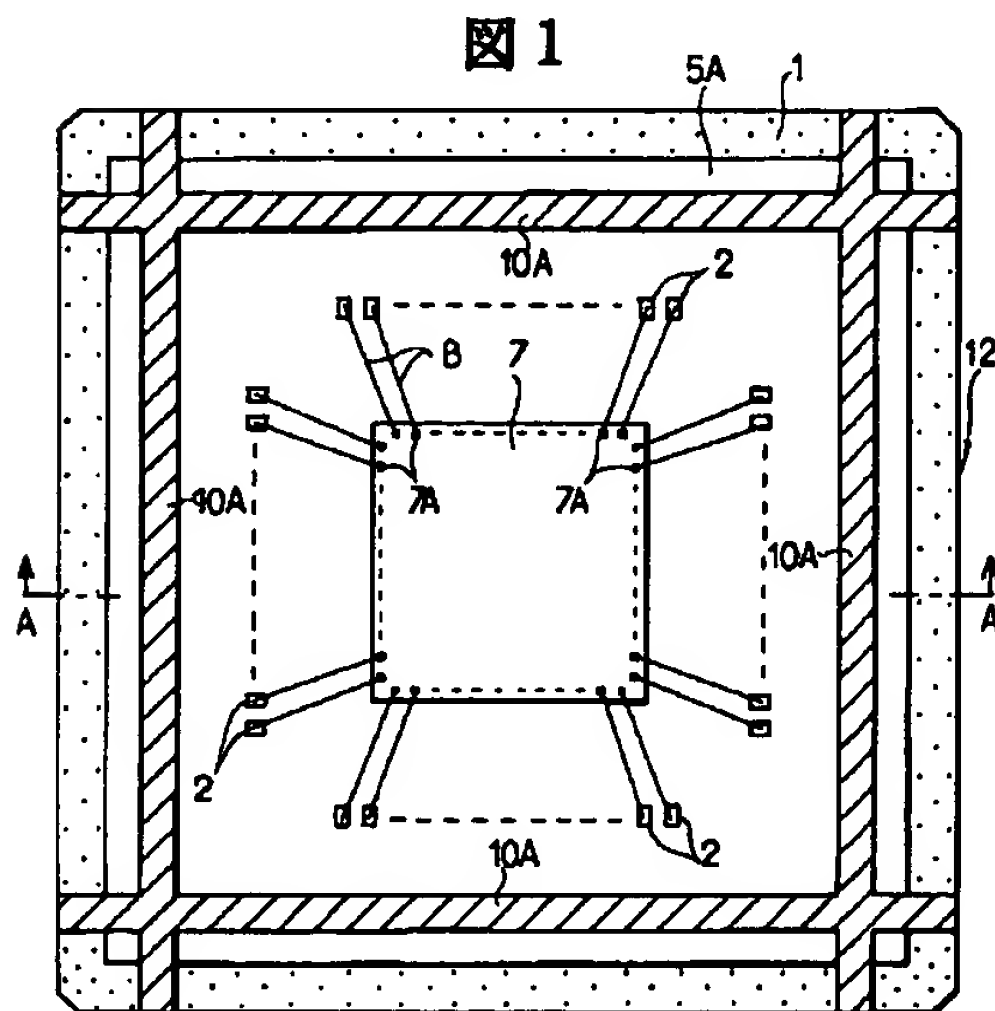
良品率は、ソルダーレジスト膜5Aの算術平均粗さRaに対する、ソルダーレジスト膜5Aと樹脂封止体1の樹脂との界面に剥離が生じない良品率とほぼ同一であった。即ち、ソルダーレジスト膜5Aの表面粗さを、0.2 [μm]以上、好ましくは0.4 [μm]以上の算術平均粗さRaとすることにより、ソルダーレジスト膜5Aと接着層11との密着力(アンカー効果)を高めることができるので、半導体装置の製品完成後の環境試験である温度サイクル試験時の熱応力や実装基板の実装面上に半導体装置を実装する実装時の熱応力によってソルダーレジスト膜5Aと接着層11との界面に生じる剥離を抑制することができる。この結果、ソルダーレジスト膜5Aと接着層11との界面に樹脂封止体12の樹脂に含まれている水分が溜らなくなるので、溜った水分の気化膨張による樹脂封止体12の亀裂を抑制することができる。

【0035】なお、レジスト膜5Aの表面処理は、メタレックス処理液を用いたメタレックス処理法、サンドブラスト処理法、プラズマクリーニング処理法で行ってもよい。

【0036】以上、本発明者によってなされた発明を、前記実施形態に基づき具体的に説明したが、本発明は、前記実施形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0037】

【図1】



【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0038】本発明によれば、半導体チップを封止する樹脂封止体の亀裂を抑制することができる。

【0039】また、前記樹脂封止体の亀裂を抑制することができるので、熱に対する信頼性の高い半導体装置を提供することができる。

【図面の簡単な説明】

10 【図1】本発明の一実施形態である半導体装置の樹脂封止体の上部を除去した状態の平面図である。

【図2】図1に示すA-A線に沿って切った断面図である。

【図3】前記半導体装置の製造プロセスで用いられる基板付フレームの要部平面図である。

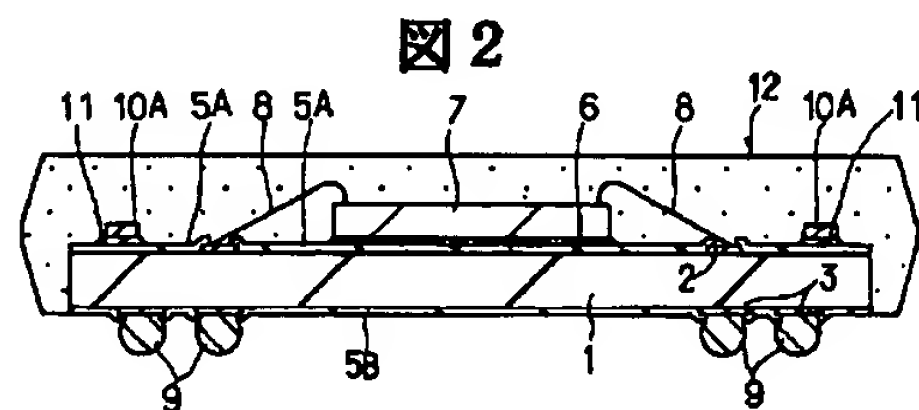
【図4】前記半導体装置を実装基板に実装した状態の要部断面図である。

【図5】ソルダーレジスト膜の表面の算術平均粗さと良品率との関係を示す図である。

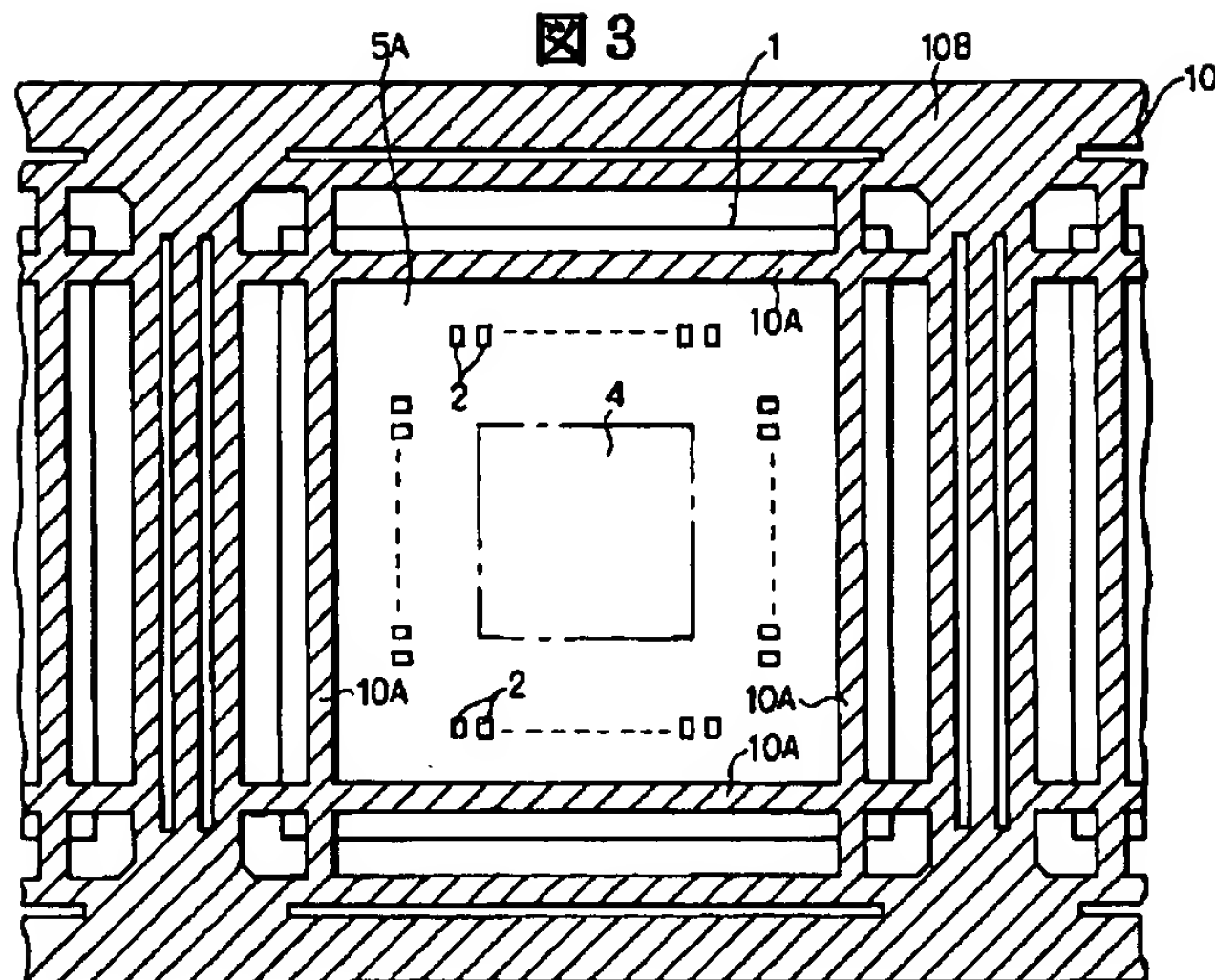
20 【符号の説明】

1…配線基板、2、3…電極パッド、4…ダイパッド、5A、5B…ソルダーレジスト膜、6…接着層、7…半導体チップ、7A…外部端子、8…ボンディングワイヤ、9…パンプ電極、10…基板付フレーム、10A…支持リード、10B…枠体、11…接着層、12…樹脂封止体、20…実装基板、21…電極パッド。

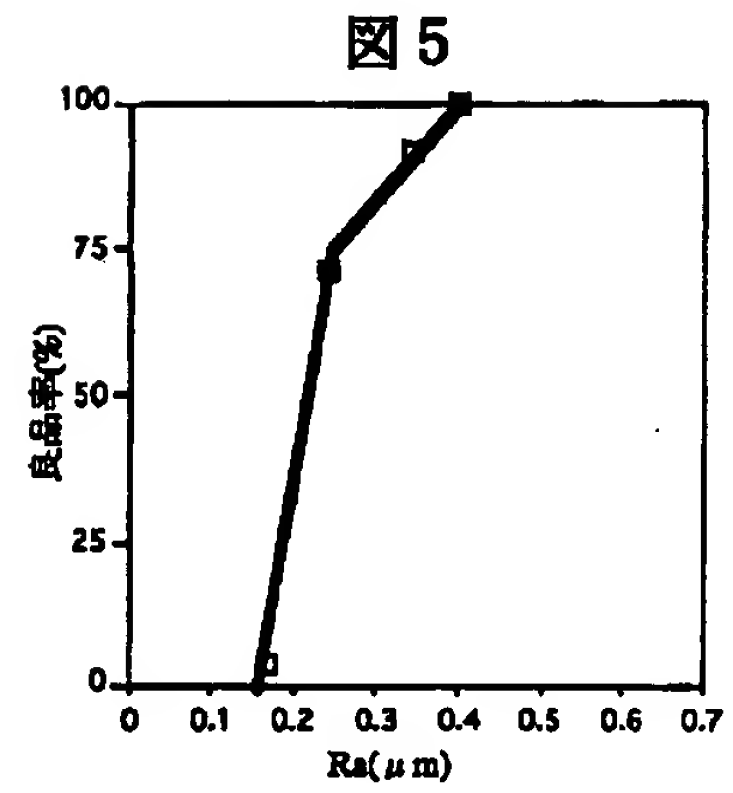
【図2】



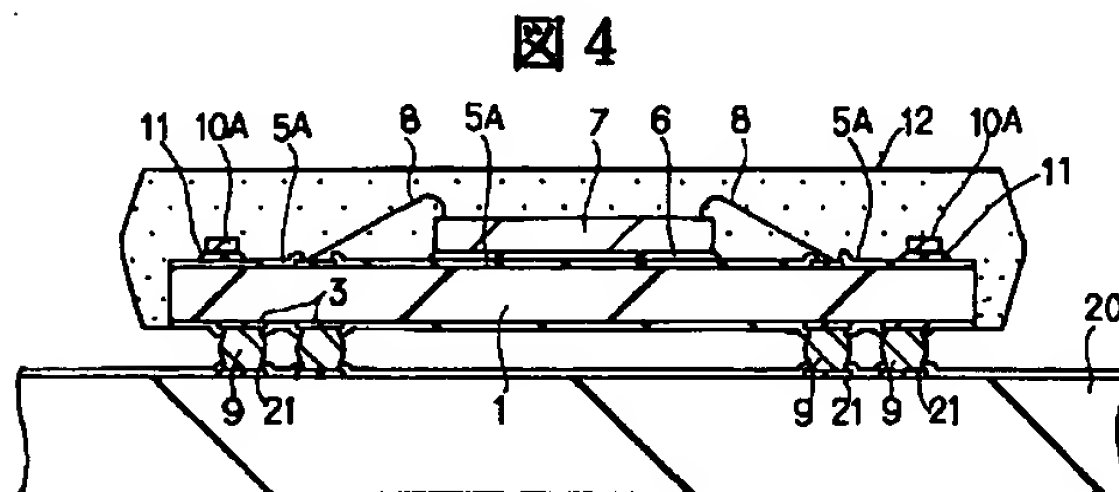
【図3】



【図5】



【図4】



フロントページの続き

(72)発明者 一谷 昌弘
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内

(72)発明者 山口 利博
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内

(72)発明者 中村 正則
茨城県下館市大字小川1500番地 日立化成
工業株式会社下館工場内